전동공구 EMI-RE 노이즈 소스 분석 및 대책

□ 기술지원 개요

o 지원제품 : 전동공구

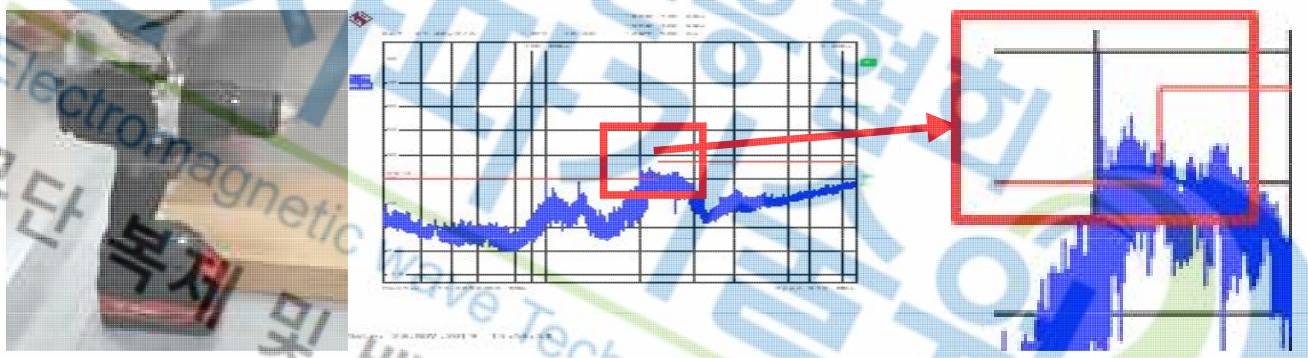
o 지원기간 : 2020. 3. 31 ~ 4. 1

o 애로사항 : 전자파 방출(EMI-RE) Fail

※ 2019.11.28.일부터 4개월째 디버깅 진행중

o 지원내용 : 회로도 및 Data sheet 검토, PCB 수정 전/후 비교

□ 제품 및 노이즈 소스원 분석



o Fail이 되는 영역은 크게 2부분으로 230 MHz에서 브로드밴드성 노이즈와 100 MHz, 200 MHz의 클럭성 노이즈가 각각 리미트를 넘어가고 있음

o 업체 자체적으로 분석한 결과 100 MHz의 클럭 성분은 MCU보드, 브로드밴드 노이즈는 모터 및 모터 전류공급 부분인 것으로 밝혀짐

o 노이즈대책을 위해 MCU보드 부분을 확인 한 결과, FET에서 발생하는 스위칭 노이즈가 브로드밴드 노이즈를 발생시키는 것으로 보이며, MCU에서 사용하고 있는 PAC52XX 칩에서 발생하는 예상됨

□ Data Sheet 검토(PAC52XX)

o PAC52XX PCB Design and layout Guidelines을 검토한 결과 일부 가이드에서 제공하는 부분이 반영되지 않음을 확인

무단 복제 및 배포 금지

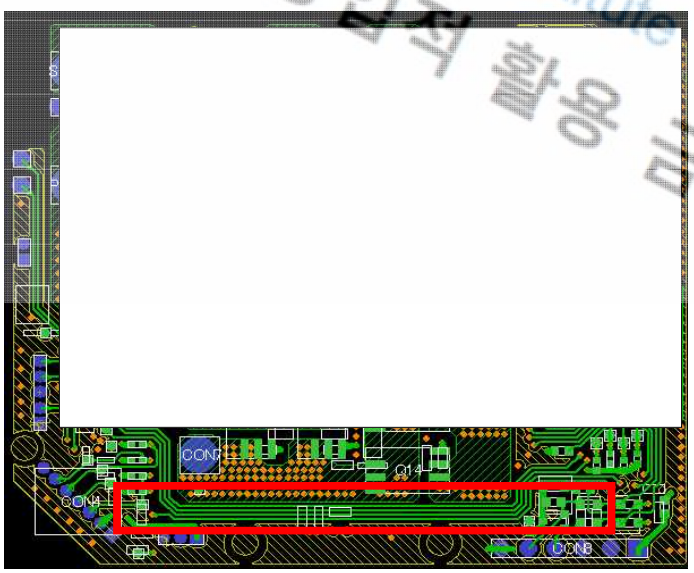
- In the gate driver design for the PAC52XX, the gate driver bootstrap capacitor ($C_{BOOTSTRAP}$) and the boot-strap diode ($D_{BOOTSTRAP}$) should be placed as close as possible to the device.
- The user can control the gate driver rise time by using a series gate resistor (R_{GATE}) to control the rise time of the gate driver. To reduce the fall time of the gate driver, the user can optionally use diode (D_{GATE}) in parallel to R_{GATE}.
- Both R_{GATE} and gate driver pull-down resistor ($R_{PULLDOWN}$) should be placed as close as possible to the Power FET ($Q_{HIGHSIDE}$ or $Q_{LOWSIDE}$). The Half-Bridge decoupling capacitor $C_{DECOUPLING}$ should be placed as close as possible to $Q_{HIGHSIDE}$ and $Q_{LOWSIDE}$.
- Both $Q_{HIGHSIDE}$ and $Q_{LOWSIDE}$ should be placed as close to each other as possible, and with as much copper as possible on their shared phase output, to minimize phase output ringing which can affect both performance and emissions.
- The motor voltage input to the drain of $Q_{HIGHSIDE}$ and the source of $Q_{LOWSIDE}$ should also use plenty of copper to reduce resistance.

- Gate Driver 가이드에 따르면, FET의 Q highside와 Q lowside에 디커플링 캐패시터를 최대한 가깝게 배치할 것을 추천하고 있으나, PPT 상의 FET부분 회로도와 PCB를 확인 했을 때 배치되어 있지 않음

o EMI Considerations

For signals between the PCB and another sub-system, IOs may carry emissions from the IC to the system resulting in spikes at certain frequencies. To prevent this, the designer may consider adding resistor beads or resistors to attenuate any high-frequency noise from the IC into the cabling between PCBs.

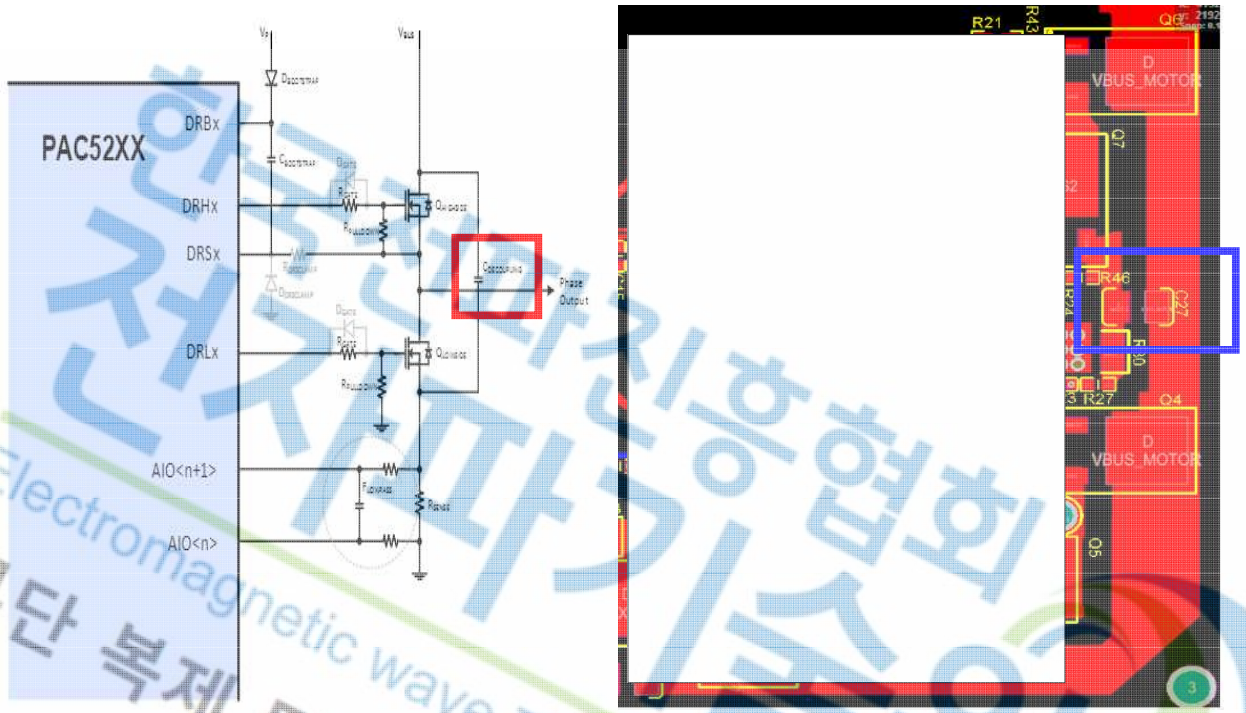
- EMI Considerations에 따르면 IO는 IC로부터 발생한 전자파를 방출할 수 있어 저항비드 또는 저항을 추가하라고 되어 있으나 아래의 PCB IO들에는 배치되어 있지 않음



□ PCB 설계대책

1. FET에 디커플링 캐패시터 배치

- 아래의 데이터시트에서 제공하는 것처럼 FET에 디커플링 캐패시터를 두어, FET 스위칭으로 인해 발생하는 노이즈 줄일 필요 있음



2. PCB IO라인에서 칩에 최대한 가까이 댐핑저항을 배치하며, 커넥터 또는 케이블 연결되는 부분에도 댐핑저항을 배치할 것

- IO Line의 경우에도 길이가 있어 충분히 전자파를 Radiation을 할 수 있으며, 100 MHz, 200 MHz의 클럭 노이즈는 이 케이블에 의한 방출일 가능성이 있음. 실제 RE 테스트시 문제가 되지 않을 경우 0옴으로 연결하여 처리

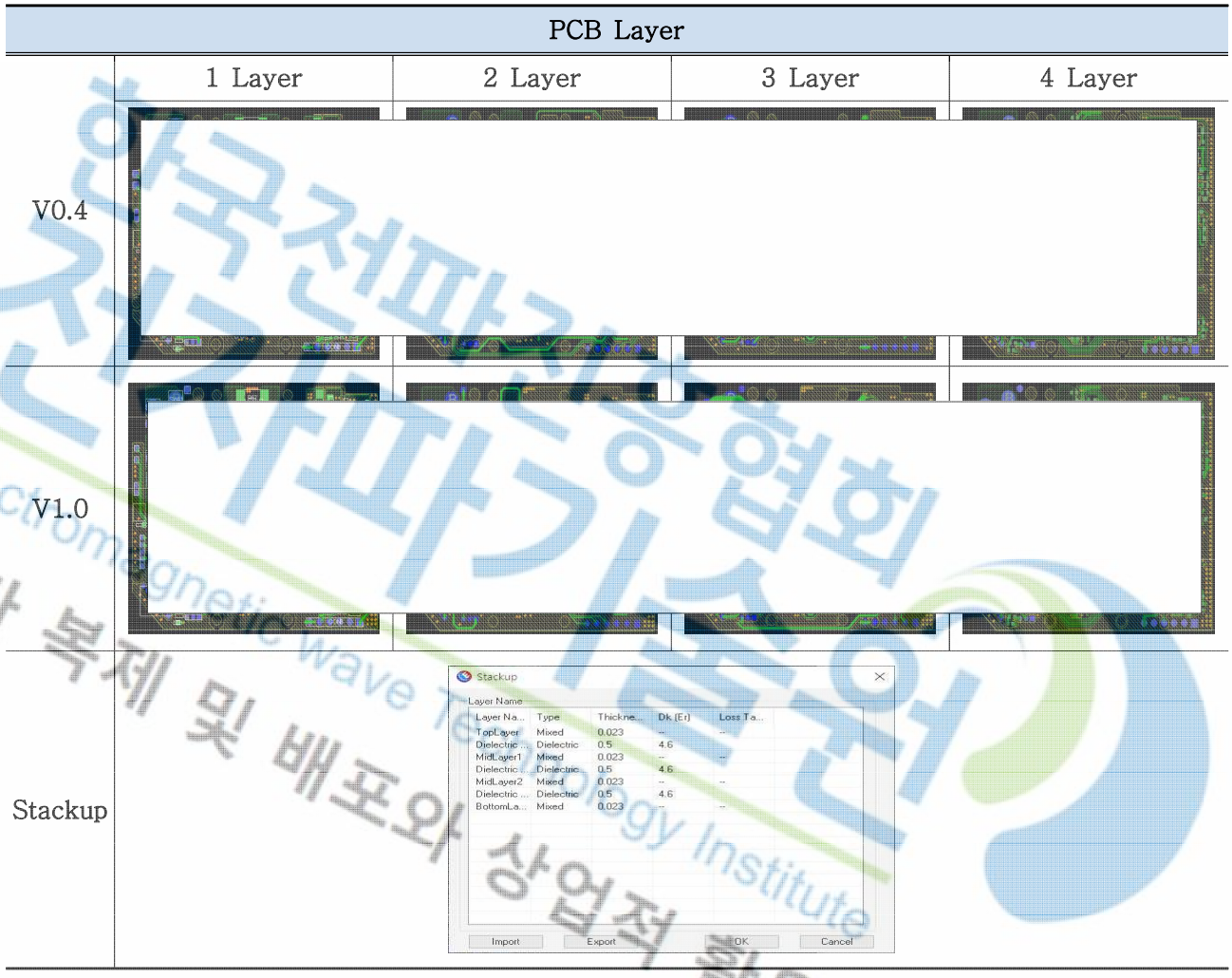
3. EVM보드에서 제공하는 Artwork를 확인 한 결과 2Layer 설계지만, Return Current Path는 충분히 확보되어 있으나, 이 제품의 경우 작은 PCB에 배치를 하다 보니 4 Layer 임에도 Return Current Path 확보가 안됨. 따라서 위의 1, 2번으로도 문제가 해결 안 될 시에는 6Layer로 가서 Return Current Path 및 GND 확장 필요

- Design Rule Checker 프로그램으로 확인 한 결과 86개의 Return Current Path 에러가 발생함

한국전자파학회 Electromagnetic wave Technology Institute 무단 복제 및 배포 금지

참 고 **PCB Design Rule Checker 결과**

☐ PCB Layer 및 Stackup

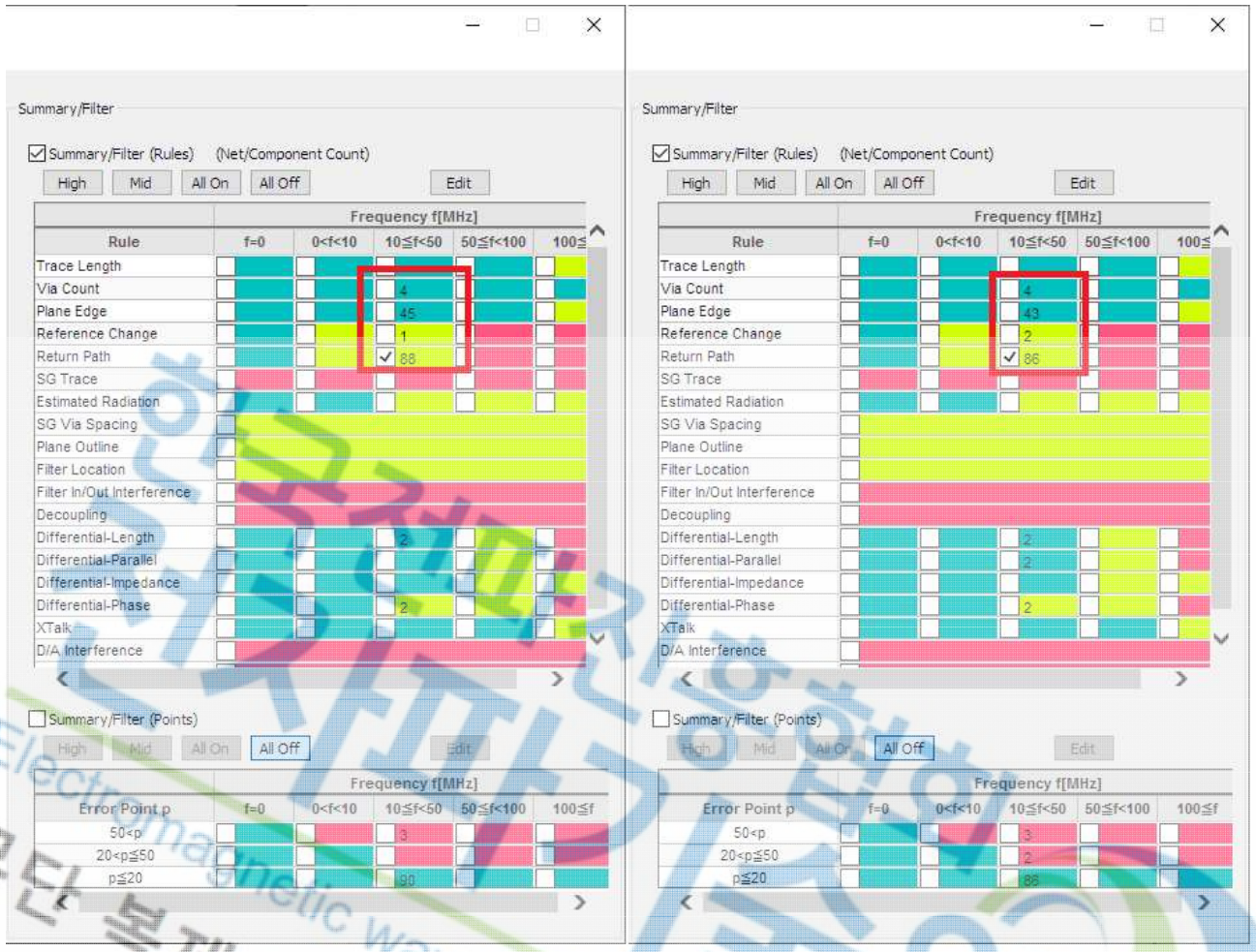


☐ Design Rule Check 결과

o 0.4 Version 과 1.0 Version의 Design Rule Error 수 비교 결과 큰 차이 없음

o 0.4V와 1.0V Plane Edge 에러가 45개에서 43개로 2개 감소, Return Path Error는 88개에서 86개로 2개 감소, Reference Change Error의 경우 1개 증가

한국전파기술협회 KRTA Electromagnetic wave Technology Institute 무단 복제 및 배포와 상업적 활용 금지



※ 각각의 트레이스에 대한 에러는 첨부해드리는 상세 데이터에서 확인 가능

□ 결론

0.4V, 1.0V PCB를 비교한 결과 수정사항으로 인해 에러 개수에 근소한 차이는 있지만 큰 차이는 없음. PCB를 4층에서 6층으로 변경하는 것을 추천하지만 우선적으로 수정한 보드에 대해서 측정 결과를 확인한 후 추후 검토할 것을 추천

무단 복제 및 배포와 상업적 활용 금지
Electromagnetic wave Technology Institute